

## (54) DIELECTRIC ELEMENT AND ITS MANUFACTURE

(11) 5-343641 (A) (43) 24.12.1993 (19) JP

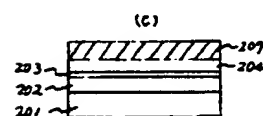
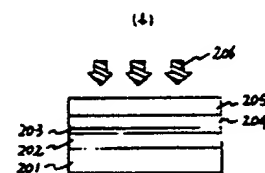
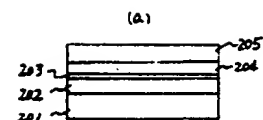
(21) Appl. No. 4-149523 (22) 9.6.1992

(71) SEIKO EPSON CORP (72) KATSUTO SHIMADA

(51) Int. Cl.<sup>6</sup> H01L27/108, H01L27/04

**PURPOSE:** To realize a dielectric element capable of optimizing characteristics, by controlling impurities independently of main component of dielectric.

**CONSTITUTION:** A silicon dioxide film 202 is formed on a silicon substrate 201, and a Pt lower electrode 204 is formed via a Ti film 203. On the lower electrode, an amorphous dielectric film 205 whose main component is Pb, Zr, Ti and O is formed by a high frequency magnetron sputtering method using  $Pb_{1-x}(Zr_xTi_{1-x})O_{2.1}$  as a target. Phosphorus 206, impurities, are vertically implanted in the silicon substrate 201, crystallization annealing of the amorphous dielectric film 205 is performed, and polycrystalline PZT 207 having perovskite crystal structure is obtained. After gold is evaporated thereon as the upper electrode, residual polarization density is measured to be  $15\mu C/cm^2$ . By accelerated test at  $70^\circ C$ , the residual polarization density after 10 years is obtained to be  $10\mu C/cm^2$ . Hence characteristics of a dielectric element such as permittivity, leak current and residual polarization can be optimized.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-343641

(43) 公開日 平成5年(1993)12月24日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M		
		8728-4M	H 0 1 L 27/ 10	3 2 5 J

審査請求 未請求 請求項の数8(全 6 頁)

(21) 出願番号 特願平4-149523

(22) 出願日 平成4年(1992)6月9日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 島田 勝人

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

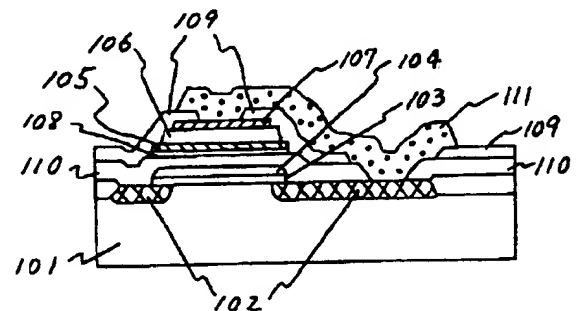
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 誘電体素子及びその製造方法

(57) 【要約】

【目的】 強誘電体の自発分極による内部電界によって、強誘電体中に含まれる可動イオンが動くが、前記強誘電体に燐 (P) をドーピングすることにより、可動イオンをゲッタリングし、データ保持特性の優れた強誘電体キャパシタを提供する。また、P Z T への不純物のドーピングを P Z T 主成分の誘電体薄膜形成と独立に制御して、誘電率、リーク電流、残留分極等の特性を向上する。

【構成】 強誘電体が2つの電極によって挟まれた誘電体素子に於いて、強誘電体膜である P Z T に、不純物として燐がドーピングされている。また、P Z T への不純物のドーピング方法として、P Z T 主成分の誘電体膜形成後にドーピングを行なう。



## 【特許請求の範囲】

【請求項1】 金属酸化物誘電体が2つの電極によって挟まれた誘電体素子に於て、前記金属酸化物誘電体が不純物として燐(P)を含むことを特徴とする誘電体素子。

【請求項2】 請求項1記載の金属酸化物誘電体がペロブスカイト型結晶構造を有する強誘電体であることを特徴とする誘電体素子。

【請求項3】 半導体基板上に、直接あるいは他の層を介して、非晶質の誘電体膜を形成する工程と、前記非晶質の誘電体膜に不純物をドーピングする工程と、前記不純物をドーピングした非晶質の誘電体膜を結晶化する工程を含むことを特徴とする誘電体素子の製造方法。

【請求項4】 半導体基板上に、直接あるいは他の層を介して、結晶性の誘電体膜を形成する工程と、前記結晶性の誘電体膜に不純物をドーピングする工程を含むことを特徴とする誘電体素子の製造方法。

【請求項5】 請求項3及び4記載の結晶性の誘電体膜の結晶構造がペロブスカイト構造であることを特徴とする誘電体素子の製造方法。

【請求項6】 請求項3及び4記載の不純物が、燐(P)であることを特徴とする誘電体素子の製造方法。

【請求項7】 請求項3及び4記載の半導体基板に、能動素子が形成されていることを特徴とする誘電体素子の製造方法。

【請求項8】 請求項3及び4記載の不純物ドーピングに、熱拡散法、イオン注入法、イオンドーピング法のいづれかを用いることを特徴とする誘電体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、主にダイナミック・ランダム・アクセス・メモリ(DRAM)あるいは、不揮発性メモリに用いられる強誘電体キャパシタの構造及び製造方法に関する。

## 【0002】

【従来の技術】 誘電体素子の構造として、従来、例えばイクステンディッド・アブストラクツ・オブ・ザ・1991・インターナショナル・コンファレンス・オン・ソリッド・ステイト・デバイス・アンド・マテリアルズ(Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials)1991年、195項~197項に記載されていたように、大容量のダイナミック・ランダム・アクセス・メモリ(DRAM)や強誘電体を用いた不揮発性メモリに使われる強誘電体キャパシタには、チタン酸ジルコン酸鉛(PZT)あるいは、それにランタン(La)をドーピングしたPLZTの使用が検討されていた。

【0003】 また誘電体素子の製造方法として、従来、例えばイクステンディッド・アブストラクツ・オブ・ザ・1991・インターナショナル・コンファレンス・オン・ソリッド・ステイト・デバイス・アンド・マテリアルズ(Extended Abstracts of the 1991 International Conference on Solid State Devices and Materials)1991年、204項~206項に記載されていたように、チタン酸ジルコン酸鉛(PZT)にランタン(La)をドーピングしたPLZTは、ソルゲル法を用いて成膜されていた。

【0004】 そこでは、PZTの原料として、鉛アセテート[Pb(CH<sub>3</sub>COO)<sub>2</sub>・3H<sub>2</sub>O]、ジルコニウム・テトラ・エヌ・バスオキサイド[Zr(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>]、タイタニウム・テトラ・アイ・プロポキサイド[Ti(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>]が、更にLaの原料として、ランタニウム・アセテート[La(CH<sub>3</sub>COO)<sub>3</sub>・1.5H<sub>2</sub>O]が使用され、それらをしかるべきモル比で混合した後、白金膜を形成したシリコン基板上に回転塗布し、仮焼成、及びアニールして、強誘電体薄膜を得ていた。

【0005】 別の誘電体素子の製造方法の例として、例えば、ジャーナル・オブ・アプライド・フィジックス(Journal of Applied Physics)1986年、736項~741項に記載されていたように、PLZTは、それぞれの原料をしかるべきモル比で焼結したターゲットを用いた高周波マグネトロンスパッタリング法により、サファイア基板上に形成されており、スパッタ時に結晶性の薄膜が得られていた。

## 【0006】

【発明が解決しようとする課題】 しかし、従来の誘電体素子は、強誘電体キャパシタとして、PZTやPLZTを用いた場合に於いてさえ、メモリの保持特性には限界があり実用上の問題点を有していた。

【0007】 すなわち、多結晶の強誘電体は、いくつかの結晶粒の集合体であり、それぞれの結晶粒も、様々な方向を向いた分域の集合である。

【0008】 そして、各分域は、自発分極を持っている。

【0009】 外部からこの強誘電体キャパシタに電界を加えない場合に於いても、これらの自発分極は内部電界を発生するため、結晶粒内あるいは粒界に存在する可動イオンは、この内部電界により移動してしまう。

【0010】 そして、不揮発性メモリのメモリに対応する残留分極等の強誘電体特性及び誘電率等の誘電体特性が劣化し、不揮発性メモリ、あるいはDRAMとして使用したとき、実使用保証条件である70℃で、10年のメモリ保持寿命が得られなくなるという問題を有していた。

【0011】そこで、本発明の誘電体素子は、従来のこのような課題を解決しようとするもので、その目的とするところは、不純物として燐(P)をドーピングすることにより、可動イオンをゲッターリングし、残留分極等の強誘電体特性及び誘電率等の誘電体特性の劣化を防ぎ、メモリ保持特性の優れた不揮発性メモリ、あるいはDRAMを提供することである。

【0012】また、従来の誘電体素子の製造方法は、ゾルゲル法を用いた場合でもスパッタ法を用いた場合でも以下のような問題があった。

【0013】LaをドーピングしないPZTの場合でさえ、特に他の構成元素に比較して、Pbの蒸気圧が高いため、Pbのモル比は、アニール条件等により、原料とアニール後の薄膜で、大きくずれる。

【0014】それに、Laを加えて、誘電率、リーク電流等の最適な条件を出すには、Pb、La等モル比を変えて数多くのゾルゲル原料、あるいはスパッタリング・ターゲットを準備しなければならず、且つ不純物の濃度、且つ深さ方向のプロファイルと、主成分であるPZT組成を同時に制御することは、非常に困難であった。

【0015】そこで、本発明の誘電体素子の製造方法は、従来のこのような課題を解決しようとするもので、その目的とするところは、誘電体の主成分と、不純物を独立に制御することにより、不純物濃度の制御が可能となり、誘電率、リーク電流、残留分極等の誘電体素子の特性を最適化することができ、更に最適条件を出すのに、大幅に、作業を短縮できることである。

【0016】

【課題を解決するための手段】本発明の誘電体素子は、

(1) 金属酸化物誘電体が2つの電極によって挟まれた誘電体素子に於て、前記金属酸化物誘電体が不純物として燐(P)を含むことを特徴とする。

【0017】(2) 上記(1)の金属酸化物誘電体がペロブスカイト型結晶構造を有する強誘電体である。

【0018】本発明の誘電体素子の製造方法は、

(3) 半導体基板上に、直接あるいは他の層を介して、非晶質の誘電体膜を形成する工程と、前記非晶質の誘電体膜に不純物をドーピングする工程と、前記不純物をドーピングした非晶質の誘電体膜を結晶化する工程を含むことを特徴とする。

【0019】(4) 半導体基板上に、直接あるいは他の層を介して、結晶性の誘電体膜を形成する工程と、前記結晶性の誘電体膜に不純物をドーピングする工程を含むことを特徴とする。

【0020】(5) 上記(3)及び(4)の結晶性の誘電体膜の結晶構造がペロブスカイト構造であることを特徴とする。

【0021】(6) 上記(3)及び(4)の不純物が、燐(P)であることを特徴とする。

【0022】(7) 上記(3)及び(4)の半導体基板上に、能動素子が形成されていることを特徴とする。

【0023】(8) 上記(3)及び(4)の不純物ドーピングに、熱拡散法、イオン注入法、イオンドーピング法のいずれかを用いることを特徴とする。

【0024】

【実施例】本発明の誘電体素子の実施例を図1の断面構造図を用いて説明する。

【0025】図1は、実際に能動素子の形成された半導体基板上に強誘電体キャパシタを集積化した断面構造図である。

【0026】101がシリコン基板、102がイオン注入と熱処理によって形成された拡散層であり、103が二酸化珪素膜( $\text{SiO}_2$ )からなるゲート酸化膜、104が、多結晶シリコンとタングステンシリサイド( $\text{WSi}$ )によって形成されたゲート電極であり、電界効果型トランジスタの主要部を形成している。

【0027】強誘電体キャパシタは、白金(Pt)下部電極105、多結晶の燐(P)ドーブPZT106、白金(Pt)上部電極107から成っている。

【0028】下部電極105の下部には密着層としてチタン(Ti)膜108が形成されている。

【0029】トランジスタとキャパシタの素子分離として、二酸化珪素膜( $\text{SiO}_2$ )109、110が形成されており、アルミ配線111で、上部電極107と拡散層102を接続している。

【0030】PドーブPZT106の膜厚は5000Åとし、サイズは2 $\mu\text{m}$ 角とした。

【0031】本実施例のように、強誘電体キャパシタ部として、PをドーブしたPZTを用いることにより、高温でメモリ保持特性の加速試験を行なうことにより、5V電圧印加時の初期残留分極密度15 $\mu\text{C}/\text{cm}^2$ に対して、実使用保証温度70℃での10年後の残留分極密度10 $\mu\text{C}/\text{cm}^2$ を外挿で推定することができた。

【0032】上記実施例に於いて、Pドーブ強誘電体膜として、PZTを用いて説明したが、PbTiO<sub>3</sub>、K<sub>0.5</sub>NbO<sub>3</sub>、Pb(MnNb)O<sub>3</sub>等他のペロブスカイト結晶構造を有する酸化物強誘電体でもよいし、又それらに、ランタン(La)、ネオジウム(Nd)、ビスマス(Bi)、ナイオビウム(Nb)、アンチモン(Sb)、タンタル(Ta)等をドーバントとして用いた酸化物誘電体にPをドーブしてもよい。

【0033】本発明の誘電体素子の製造方法の第1実施例を図2(a)～(c)の製造工程断面図に基づいて説明する。

【0034】図2(a)に示すよう、シリコン基板201上に層間絶縁膜として、二酸化珪素膜( $\text{SiO}_2$ )202を形成した後、密着層のTi膜203を介して下部電極のPt204を形成し、その上にPb、Zr、Ti、Oを主成分とする非晶質の誘電体膜205を、例え

ばPbOを10%過剰に含むPb<sub>1-x</sub>(Zr<sub>0.5</sub>Ti<sub>0.5</sub>)O<sub>3</sub>をターゲットに用いた高周波マグネトロンスパッタ法により形成する。

【0035】この非晶質の誘電体膜は、後述の結晶化アニールにより強誘電体特性を示す多結晶のチタン酸ジルコン酸鉛Pb(Zr<sub>0.5</sub>Ti<sub>0.5</sub>)O<sub>3</sub>、略してPZTになる基である。

【0036】SiO<sub>2</sub>202は、テトラ・エチル・オルト・シリケート(TEOS)のプラズマ化学気相成長法で形成し、その膜厚を5000Åとした。

【0037】Ti膜203及びPt204は、直流スパッタ法により成膜し、その膜厚はそれぞれ200Å、5000Åとした。

【0038】非晶質の誘電体膜205の膜厚を5000Åとした。

【0039】次に図2(b)に示すように、イオン注入法により非晶質の誘電体膜205に不純物の燐(P)206をシリコン基板201に対して垂直に打ち込む。

【0040】加速電圧を40KeV、打ち込み濃度を5×10<sup>14</sup>/cm<sup>2</sup>とした。

【0041】本条件で打ち込むと、ほとんどのP206は、非晶質の誘電体膜205に打ち込まれ、下地のSiO<sub>2</sub>202まで到達しない。

【0042】Pを打ち込んだ後、非晶質の誘電体膜205の結晶化アニールを行なう。

【0043】アニールは、酸素雰囲気中、600℃の温度で、1時間の熱処理とした。

【0044】この熱処理により、膜厚5000Åのペロブスカイト結晶構造を有する多結晶のPZT207を得ることが出来た(図2(c))。

【0045】これに、上部電極として、膜厚2000Å、サイズ100μm角の金(Au)を蒸着後、残留分極密度を測ったところ、15μC/cm<sup>2</sup>であり、加速試験の結果70℃、10年後の残留分極密度として10μC/cm<sup>2</sup>が得られた。

【0046】次に、本発明の誘電体素子の製造方法の第2実施例を図3(a)~(c)の製造工程断面図に基づいて説明する。

【0047】図3(a)に示すよう、シリコン基板201上に層間絶縁膜として、二酸化珪素膜(SiO<sub>2</sub>)202を形成した後、密着層のTi膜203を介して下部電極のPt204を形成し、その上にPb、Zr、Ti、Oを主成分とする非晶質の誘電体膜205を例えばPbOを10%過剰に含むPb<sub>1-x</sub>(Zr<sub>0.5</sub>Ti<sub>0.5</sub>)O<sub>3</sub>をターゲットに用いた高周波マグネトロンスパッタ法により形成する。

【0048】この非晶質の誘電体膜は、後述の結晶化アニールにより強誘電体特性を示す多結晶のチタン酸ジルコン酸鉛Pb(Zr<sub>0.5</sub>Ti<sub>0.5</sub>)O<sub>3</sub>、略してPZTになる基である。

【0049】SiO<sub>2</sub>202は、テトラ・エチル・オルト・シリケート(TEOS)のプラズマ化学気相成長法で形成し、その膜厚を5000Åとした。

【0050】Ti膜203及びPt204は、直流スパッタ法により成膜し、その膜厚はそれぞれ200Å、5000Åとした。

【0051】非晶質の誘電体膜205の膜厚を5000Åとした。

【0052】引続き図3(b)に示すように、非晶質の誘電体膜205を、酸素雰囲気中、600℃で1時間のアニールにより、結晶化を行ない、多結晶のPZT207を形成する。

【0053】次に図3(c)に示すように、イオン注入法により非晶質の誘電体膜205に不純物の燐(P)206をシリコン基板201に対して垂直に打ち込む。

【0054】加速電圧を40KeV、打ち込み濃度を1×10<sup>14</sup>/cm<sup>2</sup>とした。

【0055】本条件で打ち込むと、ほとんどのP206は、多結晶のPZT207に打ち込まれ、下地のSiO<sub>2</sub>202まで到達しない。

【0056】これに、上部電極として、膜厚2000Å、サイズ100μm角の金(Au)を蒸着後、残留分極密度を測ったところ、15μC/cm<sup>2</sup>であり、加速試験の結果70℃、10年後の残留分極密度として10μC/cm<sup>2</sup>が得られた。

【0057】上記第2実施例では、多結晶のPZT207の形成方法として、一度非晶質の誘電体膜を形成した後の結晶化アニール処理によって形成したが、スパッタ時の基板温度を600℃~700℃程度に上げることで、スパッタ時に結晶質のPZTを作成することも可能である。

【0058】また、化学気相堆積法(CVD)を用いることにより、堆積時に結晶質のPZTを作成することも可能である。

【0059】上記2つの実施例では、非晶質の誘電体膜を形成方法として、高周波マグネトロンスパッタを用いて説明したが、ゾルゲル法を用いても勿論良い。

【0060】また、P206のシリコン基板201への打ち込み角を垂直として説明したが、0度より大きく、90度より小さい角度であれば何度の入射角で打ち込んでもよい。

【0061】また、Pのドーピング方法として、P<sup>+</sup>を用いたイオン注入法を用いて説明したが、POCl<sub>3</sub>を用いた熱拡散法を用いてもよいし、Pの原料ガスであるPH<sub>3</sub>を分解したP<sup>+</sup>やH<sup>+</sup>等の陽イオンがすべて打ち込まれるイオンドーピング法を用いても勿論良い。

【0062】また、誘電体素子の製造方法の実施例で、不純物として、Pで説明したが、La、カルシウム(Ca)、ナイオビウム(Nb)、ネオジウム(Nd)、ビスマス(Bi)、アンチモン(Sb)、タンタル(T

7

a) 等の不純物をドーピングしてもよい。

【0063】また、強誘電体膜としてPZTを用いて説明したが、 $\text{PbTiO}_3$ 、 $\text{KNbO}_3$ 、 $\text{Pb}(\text{MnNb})\text{O}_3$  等のペロブスカイト結晶構造を有する酸化物強誘電体でもよい。

【0064】また、上記2つの実施例では、シリコン基板上にキャパシタを形成したが、図1に示したように、シリコン基板にトランジスタ等の能動素子が形成されていてもよい。

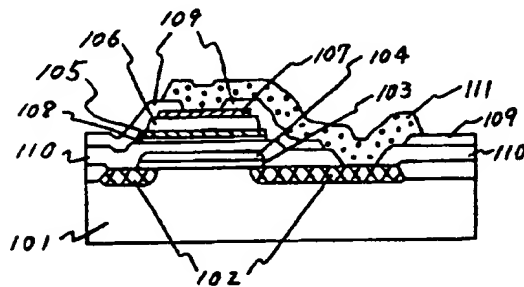
【0065】

【発明の効果】本発明の誘電体素子は、以上説明したように可動イオンのゲッターリング剤として誘電体中に不純物としてPをドーピングすることにより、上記誘電体キャパシタを備えたDRAMあるいは不揮発性メモリの実使用保証条件に於いて、メモリ保持特性を10年以上と格段に向上することができる効果を有する。

【0066】本発明の誘電体素子の製造方法は、以上説明したように誘電体の主成分と、不純物を独立に制御することにより、不純物濃度の制御が容易であり、更にドーピングプロファイルも制御可能となり、誘電率、リーク電流、残留分極等の誘電体素子の特性を最適化することができ、更に最適条件を出すのに、大幅に、作業を短縮できる効果を有する。

【図面の簡単な説明】

【図1】



8

【図1】 本発明の誘電体素子の断面構造図である。

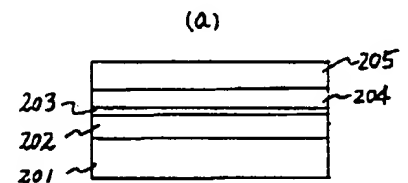
【図2】 本発明の誘電体素子の製造方法の第1実施例を説明する製造工程断面図である。

【図3】 本発明の誘電体素子の製造方法の第2実施例を説明する製造工程断面図である。

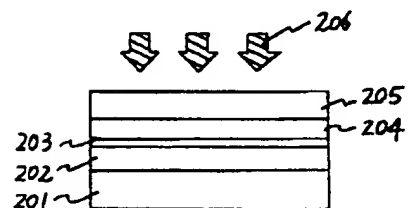
【符号の説明】

- 101 シリコン基板
- 102 拡散層
- 103  $\text{SiO}_2$ ゲート膜
- 104 ゲート電極
- 105 白金下部電極
- 106 PドーパPZT
- 107 白金上部電極
- 108 Ti膜
- 109  $\text{SiO}_2$
- 110  $\text{SiO}_2$
- 111 アルミ配線
- 201 シリコン基板
- 202  $\text{SiO}_2$
- 203 Ti膜
- 204 白金下部電極
- 205 非晶質の誘電体膜
- 206 燐 (P)
- 207 多結晶PZT

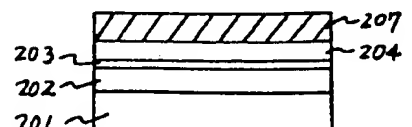
【図2】



(b)



(c)



【図3】

